Anales PANEL'81/12 JAIIO
Sociedad Argentina de informática
e Investigación Operativa. Buenos Aires, 1981

DISEÑO AUTOMATIZADO: COLOCACION CON TAMAÑOS DISIMILES

Daniel H. Magni

Universidad Nacional del Sur
Bahia Blanca, Argentina

INTRODUCCION

Dentro de la problemática del diseño de circuitos impresos asistido por computadora, uno de los tópicos importantes, es el de distribuir o "colocar" los componentes de una manera óptima sobre la tarjeta.

Muchos son los parámetros que se deben tener en cuenta para hacer una buena colocación: térmicos; físicos, eléctricos, distancia entre componentes, etc.

Elegir un método que optimice tantos parámetros a la vez, resulta costoso desde el punto de vista de tiempo de computación y complejidad.

La idea es buscar métodos prácticos y fundamentalmente rápidos. Es por esta razón que en vez de tantos parámetros, se busca optimizar uno de ellos que, en cierta forma, englobe a los demás y que como método no llegue a la solución ideal sino que, muy rápidamente, se acerque a la misma e incluso puede llegar a ella.

Un método de colocación con estos requisitos es el que

presentamos en la VII Conferencia Latinoamericana de Informática:"Diseño Automatizado:Método Heurístico de Colocación" y el parámetro que minimiza y que en general la mayoría de los métodos de colocación usan es el de la longitud total de interconexiones.

El mismo era para resolver problemas donde se consideraban todos de igual tamaño.

En este artículo se presenta una metodología para resolver el problema de colocación cuando difieren los tamaños de los componentes.

En la misma se usan técnicas de particionamiento y colocación, sobre la base de la aplicación de un único algoritmo.

DESCRIPCION DEL METODO

En la metodología a seguir para efectuar una colocación óptima de componentes de distinto tamaño, se pueden distinguir 2 etapas principales. Las mismas pueden resumirse en una de particionamiento y otra de colocación.

Se describirán a continuación las mismas junto con lo que sería la resolución de un pequeño ejemplo en el cual la colocación que se debe hacer incluye componentes de 2 tamaños el cual en este caso, el tamaño grande equivale a 3 de los chicos.

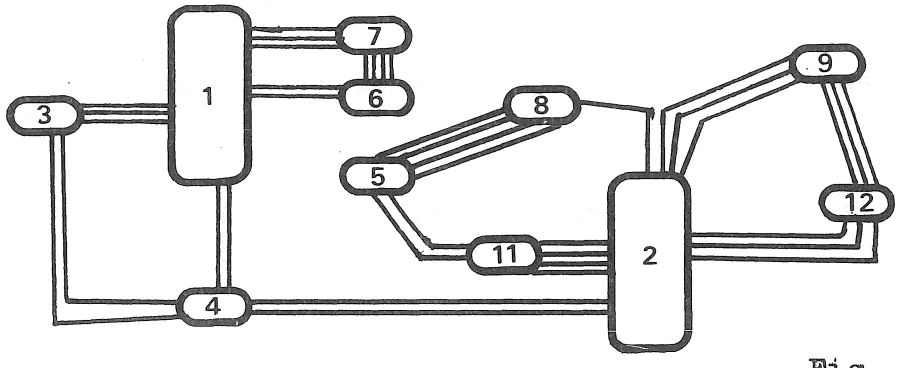


Fig. 1

La primera etapa consiste de un particionamiento. Con la matriz de conexiones $C_{i,j}$ (donde $c_{i,j}$ son las conexiones entre los elementos i y j), como datos del problema, se forman grupos que van a estar constituídos por un elemento grande o bien por tres chicos.

Estos grupos son la partición inicial que se mejorará iterativamente tratando de minimizar la cantidad de conexiones entre grupos.

Aquí los elementos que se puedan mover para mejorar la partición, son los chicos ya que como los grupos son de igual tamaño, donde se encuentra el grande está completo.

La figura muestra una partición inicial:

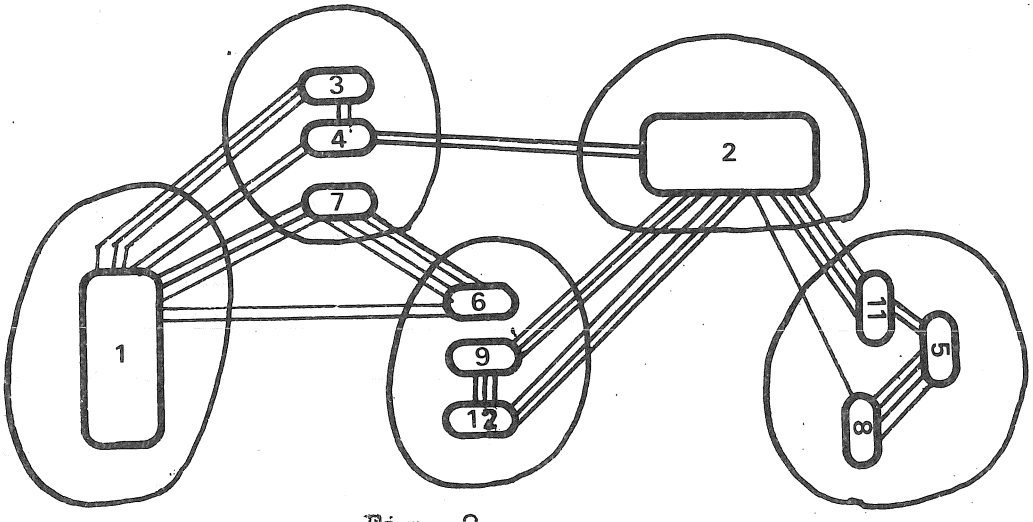


Fig. 2

La siguiente etapa posiciona los grupos resultantes dentro del reticulado en que se ha dividido la tarjeta en que se dispondrán.

Esta sería la colocación inicial que el algoritmo de "colocación" mejorará iterativamente minimizando la longitud total del interconexionado.

Para el algoritmo cada uno de los grupos sea de uno o tres elementos, es indiferente ya que los toma como nodos.

La colocación resultante da una idea acabada de la posición de los elementos grandes sobre la tarjeta. Los elementos chicos todavía no son tenidos en cuenta individualmente sino como grupos de a tres.

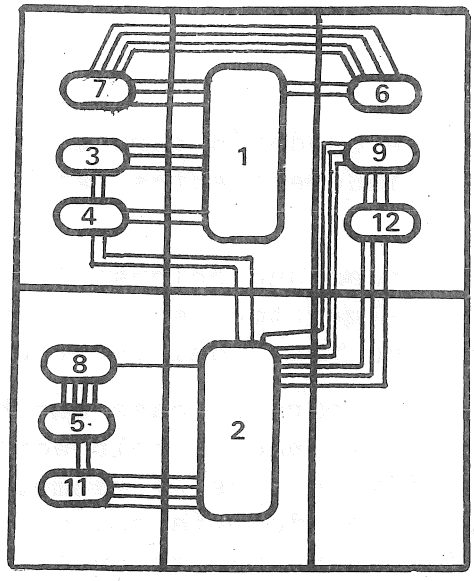


Figura 3

En la colocación final, los elementos grandes se inmovilizan o fijan en la retícula donde quedaron posicionados.

Una vez fijados los elementos, lo que se hace es un cambio de reticulado, llevando el mismo a un paso de retícula en el que entra solamente un componente chico.

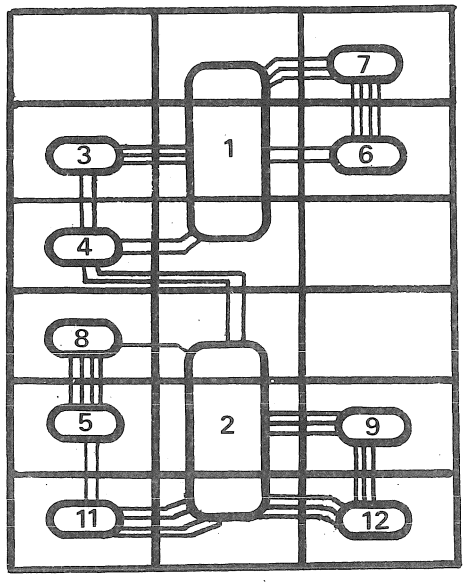


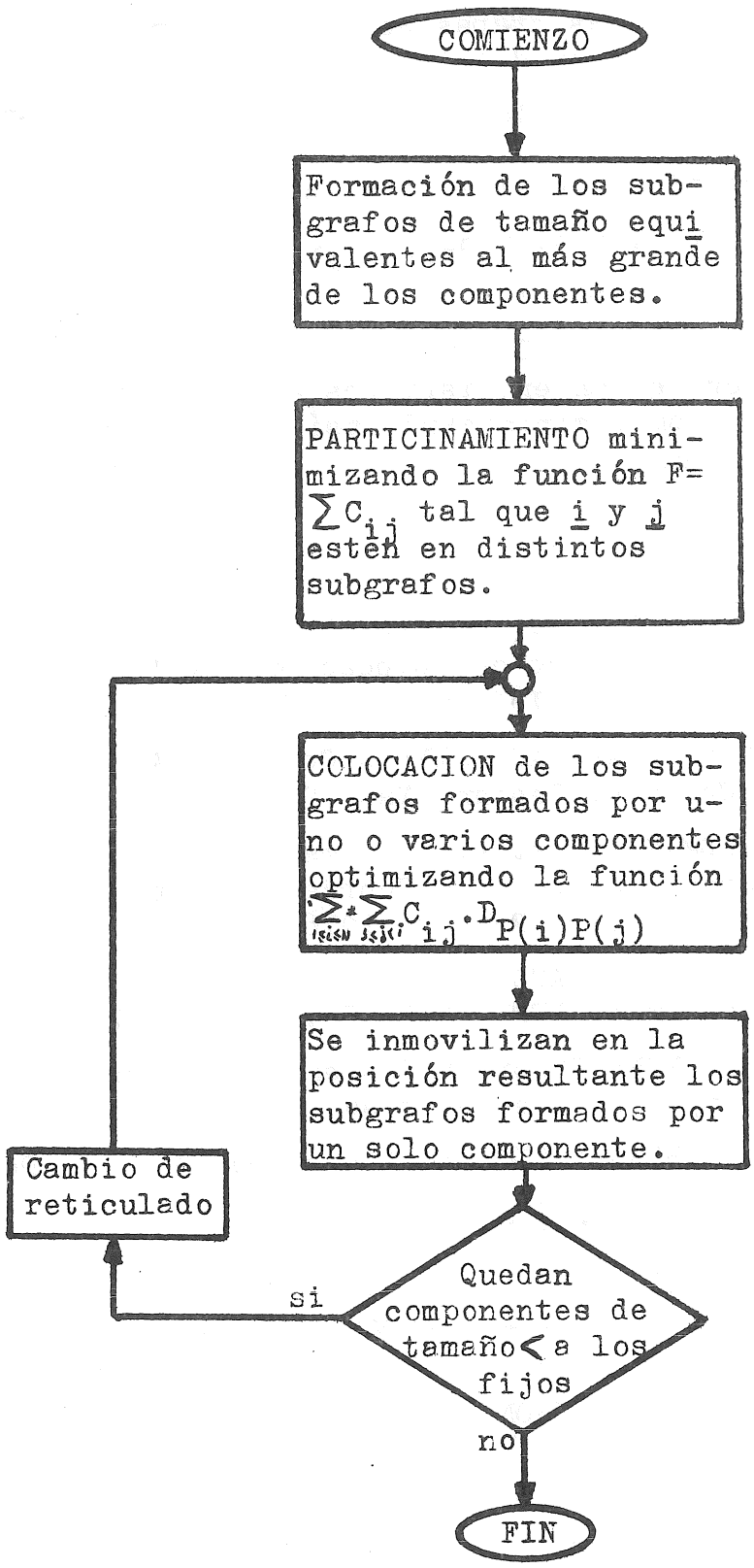
Figura 4

Los elementos grandes quedarán para el algoritmo como si fueran tres elementos independientes cada uno de los cuales es inamovible.

Se lleva a cabo entonces una colocación de los componentes chicos, con el mismo algoritmo del paso anterior, es decir minimizando la longitud total del interconexionado.

Hasta aquí se presentó para el caso que hubieran dos tamaños solamente. Se puede extender a colocaciones donde haya varios tamaños. El procedimiento es el mismo, salvo que se repiten algunos pasos. La metodología sería la siguiente: particionar en grupos de tamaño equivalente al más grande. Colocación y fijación de esos elementos. Cambio de reticulado y colocación del tamaño que sigue y fijación del mismo. Cambio del reticulado, colocación y fijación del que sigue y así sucesivamente hasta el elemento más chico.

El diagrama bloque de la página siguiente ilustra la metodología.


COMIENZO
Formación de los subgrafos de tamaño equivalentes al más grande de los componentes.
PARTICINAMIENTO minimizando la función F= $\sum C_{ij}$ tal que i y j estén en distintos subgrafos.
COLOCACION de los subgrafos formados por uno o varios componentes optimizando la función $\sum_{i \leq i \leq N}^{*} \sum_{j \leq j \leq i} C_{ij} \cdot D_{P(i)P(j)}$
Se inmovilizan en la posición resultante los subgrafos formados por un solo componente.
Quedan componentes de tamaño < a los fijos
si
Cambio de reticulado
no
FIN

ALGORITMOS

Esto que parece un procedimiento tedioso o largo, es en realidad, sumamente sencillo, práctico y fundamentalmente rápido ya que en todas las etapas se usa un mismo algoritmo de optimización descripto en detalle en la referencia (1).

Básicamente minimiza la función $F=\sum_{1\leq i\leq N} * \sum_{1\leq j\leq i} C_{ij} D_{P(i)P(j)}$

donde N es la cantidad de elementos, c_{ij} son las conexiones entre los elementos i y j, y $d_{P(i)p(j)}$ es la distancia entre las posiciones que ocupan i y j.

En particionamiento, D toma el valor de 1(uno) para aquellos elementos que estén en distintos grupos y cero para los que esten en el mismo, minimizando así la cantidad de conexiones entre grupos.

BIBLIOGRAFIA

1. AGAMENNONI, O;MAGNI, D.; FONTAO, R.: "Diseño automatizado:Método Heurístico de Colocación". VII Conferencia Latinoamericana de Informática. Caracas. Enero 1980.

2. AAKHUS, SEEMAN, PTAK:"ACCLAIM: A Computer Aided Design System". Computer Design. May 1968.

3. BENTLEY, FRIEDMAN:" Fast Algorithms For Constructing Minimal Spanning Trees in Coordenates Spaces". IEEE Trans. on Computer. Febrero 1978.

4. FISK, CASKEY, WEST:" ACCEL- Automated Circuit Card etching Layot"- Proc. IEEE, Vol. 55, Nov. 1967.

5. FRIEDMAN and MENON:"Theory & Design of Switching Circuits"- Computer Science Press, Inc. 1975.

6. HANAN and KURTZBERG:" Placement Rechniques"., in Design Automation of Digital Systems:Theory and Techniques- Ed. M.A. Breuer. New York: Prentice Hall, 1972,ch.5.

7. HANAN, WOLFF, and AGULE:" A Study of Placement Techniques for Computer Logic Graphs"- Proc. 13 th Design Automation Conf., June 1976, pp. 214-224.

8. GAREY, HWANG, and JOHNSON:" Algorithms for a Set Partitioning Problem Arising in the Desing of Multipurpose Units". IEEE Trans on Computers, Vol, C-26, N° 4- Apr, 1977.

9. HIGHTOWER, D.:"The Interconnection Problem:A Tutorial" IEEE Computer Mazazine, Vol. 7, N° 4- Apr, 1974.

10. GOTC, and KUH:" And Approach to the Two-Dimensional Placement Problem in Circuit Layout"- IEEE Trans. on Circuits and Systems, Vol, CAS-25,N° 4- Apr. 1978.

11. KERNIHGAN and LIN:"An Efficient Heuristic Procedure for Partitioning Graphs"- The Bell System Technical Journal- Feb. 1970.

12. PERRILL, W.A.:"Packaging Printed Circuit Boards With Interactive Graphics"- Pergamon Press, Computer & Graphics, Vol 2- 1977.

13. RUTMAN, R.A.:" An Algorithm for Placement of Interconnnected Elements Based on Minimun Wire Length "- Proc. 1964 SICC, pp 477-491.

14. STEINBERG, L.:"The Backboard Wiring Problem:A Placement Algorithm"- SIAM Review, Vol, 3, N° 1, pp 37-50,Jan. 1961.

15. STEVENS, J.E.:"Fast Heuristic Techniques for Placing and Wiring Printed Circuit Boards"- Ph. D Thesis, Computer Science Dept. University of Illinois, Urbana,1972

16. HALL, K.M.:" An R-Dimensional Quadratic Placement Algorithm"- Management Sci., Vol, 17, pp 219-229 Nov.1970

17. QUINN and BREUER:" A Forced Directed Component Placement Procedure for Printed Circuit Boards"- IEEE Trans, on Circuits and Systems, Vol. CAS- 26,N° 6. June 1979.

18. SPITALNY and GOLDBERG:" ON-Line Graphics Applied to Layout Design of Integrated Circuits". Proc. of IEEE, Vol.55, N°11- Nov. 1967.